

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

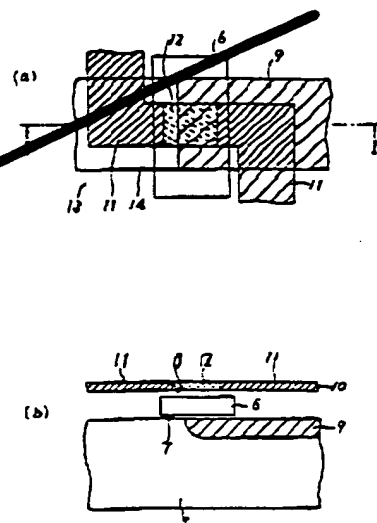
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) SEMICONDUCTOR DEVICE

(11) 5-55474 (A) (43) 5.3.1993 (19) JP
 (21) Appl. No. 3-211794 (22) 23.8.1991
 (71) MITSUBISHI ELECTRIC CORP (72) HAJIME ARAI
 (51) Int. Cl.³ H01L27/04

PURPOSE: To obtain a semiconductor device equipped with a variable resistance element and a variable capacitance element which can change resistance value and capacitance value after this device is completed.

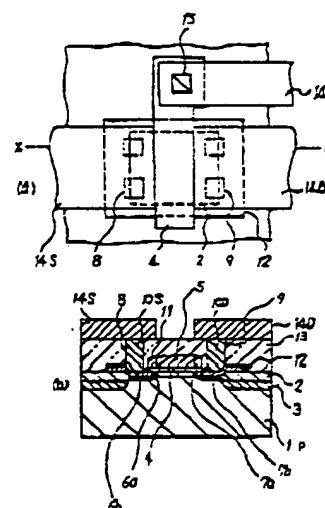
CONSTITUTION: A semiconductor substrate 5 provided with an impurity diffusion layer 9 is topped with a floating gate 6 via a first gate insulating film 7, which is overlaid with a channel region 12 and a source-drain region 11 of a thin film transistor 10 via a second gate insulating film 8. A resistance value is adjusted by injecting charges into the floating gate 6 by F-N tunneling current to control the injected charge amount.

**(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ITS MANUFACTURE**

(11) 5-55475 (A) (43) 5.3.1993 (19) JP
 (21) Appl. No. 3-214922 (22) 27.8.1991
 (71) NEC CORP (72) JUNJI KIYONO
 (51) Int. Cl.³ H01L27/06, H01L29/46

PURPOSE: To prevent junction leakage current by opening contact holes in an interlayer insulating film spread over a semiconductor chip provided up to an element isolating region in the periphery of the element region and by providing a tungsten-filled plug.

CONSTITUTION: After an interlayer insulating film 13 is adhered over the surface of a semiconductor layer 12, contact holes 8, 9 are so formed to open in the semiconductor layer 12. Next, for example, tungsten is selectively grown only inside the contact holes 8, 9 by SiH₄ reduction with WF₆ by vapor phase method to form filled plugs 10D, 10S, and a contact hole 15 is bored in a gate electrode 5 to form aluminum wiring layers 14D, 14G, 14S, and an inter-element wiring layer. This design can prevent junction leakage current developed by diffusion of crystal defect tungsten generated in the element isolating region end.



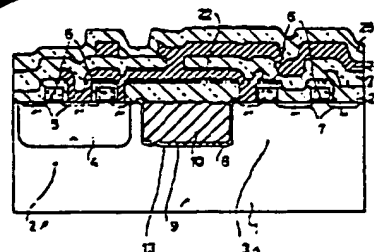
1: p-type silicon substrate, 2: element isolating insulating film, 3: channel stopper region, 4: gate insulating film, 5a: low-doped source diffusion layer, 5b: high-doped source diffusion layer

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 5-55476 (A) (43) 5.3.1993 (19) JP
 (21) Appl. No. 3-235655 (22) 23.8.1991
 (71) NEC CORP (72) HIROYOSHI HISAIE
 (51) Int. Cl.³ H01L27/06

PURPOSE: To improve the operation speed of a semiconductor integrated circuit and to prevent the thermal breakdown of the integrated circuit by enhancing the effect of dissipating internal heat developed in elements of the integrated circuit.

CONSTITUTION: Between elements (p-type transistor 2, n-type transistor region 3) provided on a semiconductor substrate 1 lies a thermal diffusion wiring 13 which diffuses heat developed in the elements to the periphery of an integrated circuit and has its recess 8 filled with a substance 10 of higher thermal conductivity than that of the semiconductor substrate. This thermal diffusion wiring can diffuse heat developed in elements out of the integrated circuit through a substance of higher conductivity than that of the semiconductor substrate.



(11)特許出願公開番号

(43)公開日 平成5年(1993)3月5日

技術表示箇所

102 E

審査請求 未請求 請求項の数 2 (全 4 頁)

(74) 代理人 弁理士 内原 晋

【特許請求の範囲】

【請求項1】 一導電型半導体基板の表面部に選択的に形成された素子分離領域により区画された素子領域において前記半導体基板に接し、その一部が前記素子分離領域上に延びて設けられた半導体層と、前記半導体層に設けられた不純物拡散領域を有する半導体素子と、前記不純物拡散領域を覆う層間絶縁膜に前記半導体層に達するように開口されたコンタクトホールと、前記コンタクトホールに形成されたタングステン材料による埋め込みプラグとを有することを特徴とする半導体集積回路装置。

【請求項2】 一導電型半導体基板の表面部に選択的に素子分離領域を形成して素子領域を区画する工程と、前記素子領域に直接接するアモルファス状態の半導体層を被着する工程と、少なくとも前記素子領域に接している部分の前記半導体層を単結晶化する工程と、前記半導体層に選択的に不純物拡散領域を半導体素子の能動領域として形成する工程と、前記不純物拡散領域を覆って層間絶縁膜を形成する工程と、前記層間絶縁膜に前記不純物拡散領域に達するコンタクトホールを形成する工程と、前記コンタクトホールにタングステンを選択的に成長させて埋め込みプラグを形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路装置およびその製造方法に関し、特に半導体素子及びその引き出し電極の構造並びにその形成方法に関する。

【0002】

【従来の技術】 従来の技術についてMOS型電界効果トランジスタを例にあげて説明する。

【0003】 図3はMOS型電界効果トランジスタの一例を示す半導体チップの断面図である。

【0004】 p型シリコン基板101に、選択酸化法で形成された素子分離絶縁膜102と、チャネルストップ領域103とで区画された素子領域を有し、その素子領域にはゲート絶縁膜104を介してゲート電極105が設けられている。このゲート電極105に対し自己整合的に形成されLDD構造をもつソース・ドレイン領域（詳しくは、低濃度ソース拡散層106a、高濃度ソース拡散層106bからなるソース領域と、低濃度ドレイン拡散層107a、高濃度ドレイン拡散層107bからなるドレイン領域）と、このソース・ドレイン領域から、電極を引き出すためのコンタクトホール108、109とこのコンタクトホール内に、WF₆のSiH₄還元法により選択的に成長したタングステン材料より成る埋め込みプラグ110D、110Sと、アルミニウム配線層114D、114Sより成る。

【0005】 素子寸法の縮小及び高性能化のため、ソース・ドレイン領域からの引き出し電極用のコンタクトホールのサイズは小さくなり、そのアスペクト比は大きく

なる。そこで、昨今は、導電材料により、コンタクト内部を埋め込む方法が提案されている。その一つの技術として、上述のように、タングステンをコンタクト部に選択的に成長させるタングステンプラグが、有望となっている。

【0006】

【発明が解決しようとする課題】 この従来のMOS型電界効果トランジスタ構造は、コンタクト部にタングステン埋め込みプラグを使用している。そのため、開口したコンタクトが、LOCOS端に生じている結晶欠陥の上に位置するとタングステンが結晶欠陥に拡散して漏れ電流が増加する問題点があった。従って、コンタクトホールが、LOCOS端に接しないようあらかじめパターンレイアウト上余裕を取る必要があり、微細化に適さない。

【0007】 またコンタクト内壁にサイドウォールを形成し、実質的にコンタクト開口部をLOCOS端から離す手段があるが、コンタクト面積の低減によるコンタクト抵抗の増大があり、デバイスの微細化に適さない。

【0008】 このような問題は、一般の半導体素子についても起りうることである。

【0009】

【課題を解決するための手段】 本発明の半導体集積回路装置は、一導電型半導体基板の表面部に選択的に形成された素子分離領域により区画された素子領域において前記半導体基板に接し、その一部が前記素子分離領域上に延びて設けられた半導体層と、前記半導体層に設けられた不純物拡散領域を有する半導体素子と、前記不純物拡散領域を覆う層間絶縁膜に前記半導体層に達するように開口されたコンタクトホールと、前記コンタクトホールに形成されたタングステン材料による埋め込みプラグとを有するというものである。

【0010】 また、本発明の半導体集積回路装置の製造方法は、一導電型半導体基板の表面部に選択的に素子分離領域を形成して素子領域を区画する工程と、前記素子領域に直接接するアモルファス状態の半導体層を被着する工程と、少なくとも前記素子領域に接している部分の前記半導体層を単結晶化する工程と、前記半導体層に選択的に不純物拡散領域を半導体素子の能動領域として形成する工程と、前記不純物拡散領域を覆って層間絶縁膜を形成する工程と、前記層間絶縁膜に前記不純物拡散領域に達するコンタクトホールを形成する工程と、前記コンタクトホールにタングステンを選択的に成長させて埋め込みプラグを形成する工程とを有するというものである。

【0011】

【実施例】 次に、本発明の実施例について図面を参照して説明する。

【0012】 図1(a)は本発明の一実施例を示す平面図、図1(b)は図1(a)のX-X線断面図である。

【0013】 この実施例は、p型シリコン基板1の表面

に選択的に形成された素子分離絶縁膜2により区画された素子領域においてp型シリコン基板に接し、その一部が素子分離絶縁膜2上に延びて設けられた半導体層12を有している。半導体層12はシリコン膜であり、p型シリコン基板1と接している部分は単結晶シリコン膜になっている。この半導体層12の単結晶領域上にゲート絶縁膜4、ゲート電極5が設けられている。タングステンによる埋め込みプラグ10D、10Sがこの半導体層と接しているわけである。その他の点は従来のMOS型電界効果型トランジスタと同じである。

【0014】次に、この実施例の製造方法について説明する。

【0015】図2(a)～(d)は本発明の一実施例の製造方法の説明に使用する工程順断面図である。

【0016】まず、図2(a)に示すように、p型シリコン基板1の主表面に、LOCOS法で素子分離用絶縁膜2を形成し、素子領域を区画する。なお、素子分離絶縁膜2の下にはチャネルストップ領域3を備えている。

【0017】次に、ウェハを希フッ酸で処理し、素子領域上の自然酸化膜を除去した後、CVD法で、アモルファス状態のシリコン膜を厚さ100nm成長する。500～600℃の低温で、10時間～100時間窒素雰囲気中でアニールすることにより、少なくともシリコン基板1に接している部分を固相成長により単結晶化した後所定のパターンにエッチングし、半導体層12を形成する。アモルファスシリコンの単結晶化の方法は、ランプ加熱法、レーザビームの照射等の技術によっても可能である。さらに、低温熱処理後に高温の熱処理を行なう2段階方式でもよい。次に、ボロンなどの不純物によりチャネルドーピングを行なう。

【0018】次に、図2(b)に示すように、850℃の水蒸気雰囲気による熱酸化またはCVD法によりゲート絶縁膜4を形成し、リンを拡散したポリシリコンよりなるゲート電極5を形成する。

【0019】次に、ゲート電極5をマスクにイオン注入を行ないn型の低濃度ソース拡散層6a、低濃度ドレイン拡散層7aを形成する。

【0020】次に、図2(c)に示すように、厚さ100～200nmの酸化シリコン膜11aを堆積し、異方性エッチングを行ない、図2(d)に示すように、ゲート電極5の側面にスペーサ11を形成し、ゲート電極5およびスペーサ11をマスクにイオン注入を行ないn型の高濃度ソース拡散層6b、高濃度ドレイン拡散層7bを形成する。このようにして形成されたソース・ドレイン領域は、主に半導体層12に形成されているが、p型シリコン基板1内部にも及んでいる。

【0021】次に、図1に示すように、層間絶縁膜13を表面に被着後コンタクトホール8、9を形成する。このコンタクトホールは、前述の半導体層12上に開口するのである。

【0022】次に、気相成長法でWF₆のSiH₄還元法によりコンタクトホールの内部のみにタングステンを選択成長し埋め込みプラグ10D、10Sを形成し、ゲート電極上にコンタクトホール15を形成し、アルミニウム配線層14D、14G、14S、14D素子間配線層を形成する。

【0023】本実施例では、コンタクトホールが半導体層12の上に開口されているので、LOCOS端に結晶欠陥が存在しても、タングステンが、欠陥部に拡散するのを防止でき、コンタクト部の接合電流の原因とはならない。

【0024】以上、MOS型電界効果トランジスタを例にあげて説明したが、バイポーラトランジスタやダイオードなど半導体素子一般に本発明を適用できることは改めていうまでもない。

【0025】

【発明の効果】以上説明したように本発明は、素子領域からその周辺の素子分離領域上にかけて半導体層を設け、その上に形成された層間絶縁膜にコンタクトホールを開口し、タングステンの埋め込みプラグを設けることにより、素子分離領域端部に発生した結晶欠陥にタングステンが拡散して生じる接合漏れ電流を防止できる。また、レイアウト的にもコンタクト部を素子分離領域と重なるように形成できる。従って、何ら特性の劣化を起こすことなく半導体集積回路装置の微細化を促進することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を示す平面図(図1(a))および断面図(図1(b))である。

【図2】本発明の一実施例の製造方法の説明に使用するため(a)～(d)に分図して示す工程順断面図である。

【図3】従来の技術の説明に使用する断面図である。

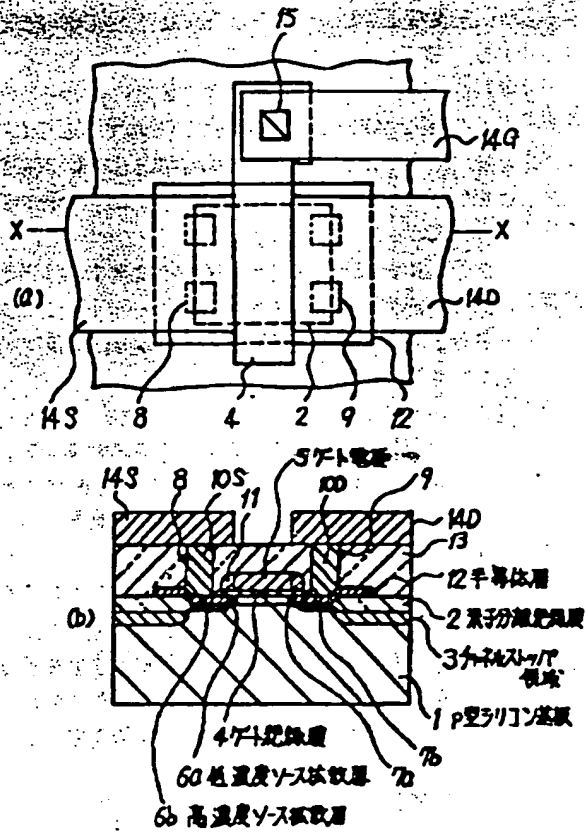
【符号の説明】

- | | |
|---------------------------|------------|
| 1. 101 | p型シリコン基板 |
| 2. 102 | 素子分離絶縁膜 |
| 3. 103 | チャネルストップ領域 |
| 4. 104 | ゲート絶縁膜 |
| 5. 105 | ゲート電極 |
| 6a. 106a | 低濃度ソース拡散層 |
| 6b. 106b | 高濃度ソース拡散層 |
| 7a. 107a | 低濃度ドレイン拡散層 |
| 7b. 107b | 高濃度ドレイン拡散層 |
| 8. 108. 9. 109 | コンタクトホール |
| 10D. 10S. 110D. 110S | 埋め込みプラグ |
| 11. 111 | スペーサ |
| 12 | 半導体層 |
| 13. 113 | 層間絶縁膜 |
| 14D. 14G. 14S. 114D. 114S | アル |

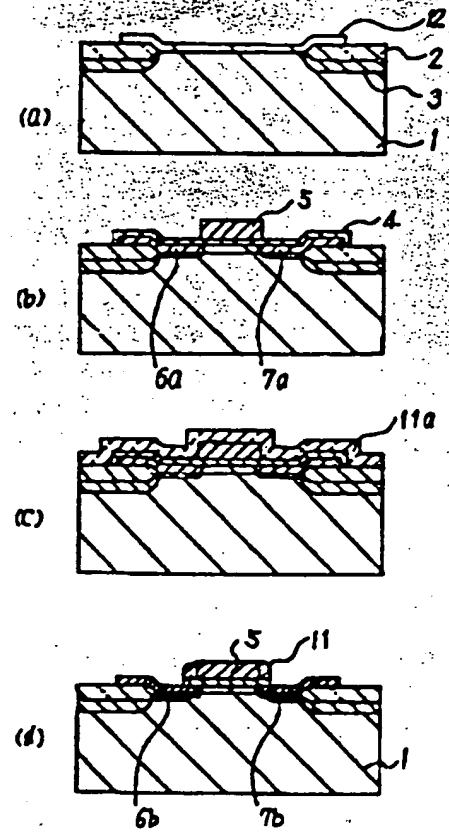
ミニウム配線層

15 コンタクトホール

【図1】



【図2】



【図3】

